

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-055493

(43)Date of publication of application : 27.02.1996

(51)Int.Cl.

G11C 19/00  
G02F 1/133  
G09G 3/20  
G09G 3/36

(21)Application number : 06-188036

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.08.1994

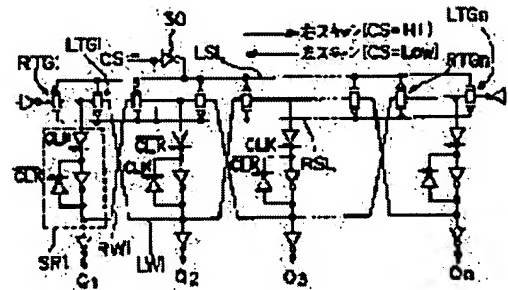
(72)Inventor : YOKOYAMA RYOICHI

## (54) SHIFT REGISTER AND DRIVING CIRCUIT FOR DISPLAY DEVICE

(57)Abstract:

PURPOSE: To embody a shift register in which increasing the minimum number of elements and optimization for securing operational margin for phase deviation between shift clocks can be performed and which has a bi-directional scanning function.

CONSTITUTION: A signal transmitting path for right scanning is constituted by connecting plural unit shift registers SRi corresponding to the prescribed number of output stages with a wire RWi for right scan, also, a signal transmitting path for left scanning is constituted by connecting with a wire LRI for left scanning. Transmission gates RTGi and LTGi which perform inverse opening/closing operation each other are provided in signal transmitting paths for right scan and left scanning respectively. By making the transfer gate RTGi an ON state and making the transfer gate LTGi a OFF state, only the transmitting path of right scan shift is made valid, signal transmission of right scan is performed, and signal transmission of left scan is performed by the inverse operation.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-55493

(43) 公開日 平成8年(1996)2月27日

(51) Int. CL <sup>6</sup>	識別記号	片内整理番号	P I	技術表示箇所
G 1 1 C 19/00		C		
G 0 2 F 1/133	5 0 5			
G 0 9 G 3/20		R 4237-5H		
3/36				

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号 特願平6-183036

(22) 出願日 平成6年(1994)8月10日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 横山 良一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

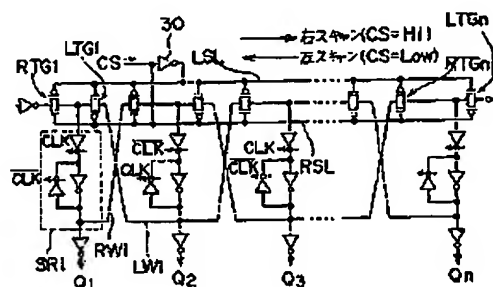
(74) 代理人 弁理士 目次 誠 (外1名)

(54) 【発明の名称】 シフトレジスタ及び表示装置の駆動回路

(57) 【要約】

【目的】 最小素子数の増加で、かつシフトクロック間の位相ずれに対する動作マージン確保の最適化が可能な双方向スキャン機能を有するシフトレジスタを実現する。

【構成】 所定の出力段数に対応する複数の単位シフトレジスタSR<sub>i</sub>間を右スキャン用の配線RW<sub>i</sub>で接続することにより右スキャン用信号伝達経路を構成し、また左スキャン用の配線LR<sub>i</sub>で接続することにより左スキャン用信号伝達経路を構成する。右スキャン用及び左スキャン用信号伝達経路の各々には、互いに逆の開閉動作を行うトランスマッションゲートRTG<sub>i</sub>、LTG<sub>i</sub>が設けられる。トランスファゲートRTG<sub>i</sub>をONにし、トランスファゲートLTG<sub>i</sub>をOFFにすることにより右スキャンシフトの信号伝達経路のみが有効となり、右スキャンの信号伝達が行われ、逆の動作により左スキャン方向の信号伝達が行われる。



BEST AVAILABLE COPY

(2)

特開平8-55493

1

2

## 【特許請求の範囲】

【請求項1】 信号のシフト動作の一単位を構成する単位シフトレジスタを複数接続したシフトレジスタ列と、外部からの制御信号によって前記シフトレジスタ列の前記信号のシフト方向を切り換えるシフト方向切り換え手段とを備えた、シフトレジスタ。

【請求項2】 各々、信号のシフト動作の一単位を構成する第1単位シフトレジスタ及び第2単位シフトレジスタと、

前記第1単位シフトレジスタの出力端と前記第2単位シフトレジスタの入力端とを接続する配線経路中に設けられ、前記第1単位シフトレジスタから前記第2単位シフトレジスタへの配線経路の開閉動作を行う第1開閉手段と、

前記第1単位シフトレジスタの入力端と前記第2単位シフトレジスタとの出力端とを接続する配線経路中に設けられ、前記第1開閉手段と逆の開閉動作によって前記第2単位シフトレジスタから前記第1単位シフトレジスタへの配線経路の開閉を行う第2開閉手段とを備えたことを特徴とする、シフトレジスタ。

【請求項3】 前記第1及び第2開閉手段の各々は、前記配線経路中に直列に接続される入出力端子と、外部からの制御信号が与えられる制御端子とを有する3端子スイッチ素子から構成されることを特徴とする、請求項2に記載のシフトレジスタ。

【請求項4】 前記3端子スイッチ素子は薄膜トランジスタである、請求項3に記載のシフトレジスタ。

【請求項5】 前記第1及び第2開閉手段の各々は、トランスミッションゲートから構成されることを特徴とする請求項2に記載のシフトレジスタ。

【請求項6】 複数の画素に接続される複数の信号電極に接続された請求項2に記載のシフトレジスタを有する表示装置の駆動回路。

【請求項7】 複数の画素に接続される複数の走査電極に接続された請求項2に記載のシフトレジスタを有する表示装置の駆動回路。

【請求項8】 前記シフトレジスタは、前記画素が形成された基板と同一基板上に形成されていることを特徴とする、請求項6または請求項7のいずれかに記載の表示装置の駆動回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、シフトレジスタ及び表示装置の表示パネルを駆動するための駆動回路の構成に関する。

【0002】

【従来の技術】 近年、例えばマトリクス型液晶表示装置の液晶パネルを駆動するための駆動回路において、双方向スキャンが可能なシフトレジスタを備えたものが提案されている。その1つは、図5に模式的に示されるよ

うに、単方向スキャン用のシフトレジスタを2系統設け、出力選択回路を通して各シフトレジスタからの出力信号を選択して出力するように構成したものである。この方式における単方向スキャン用のシフトレジスタの回路構成を、図6及び図7に示す。図6を参照して、単方向スキャン用シフトレジスタは、複数段のシフトレジスタ（以下、本書においてその各々を単位シフトレジスタと称する）を直列に接続することにより構成されている。単位シフトレジスタは、書き込み用及びラッチ用の2つのクロックドインバータC11、C12と、1つのインバータ11とを図示のように接続した構成を有する。また、この書き込み用及びラッチ用クロックドインバータと1つのインバータの内部回路を各々図7

(a)、(b)、(c)に示す。

【0003】 左スキャン用及び右スキャン用の2系列のシフトレジスタを設けた上記方式では、双方向スキャンが可能となる反面、単方向スキャンシフトレジスタに比べ、1系統分のシフトレジスタと、選択回路とを追加する必要がある。このため、これらの回路を構成するトランジスタ素子の素子数が大幅に増加することによって、製造工程における欠陥の発生確率が高まり、歩留りの低下の原因となる。

【0004】 また、駆動回路の素子数の大幅な増加を生じることなく双方向スキャンを可能とする構成が新たに提案されている。その一例を図8に示す。図示されたシフトレジスタは、図6に示された単方向スキャンシフトレジスタに、新たにクロックドインバータを追加することによって双方向スキャン機能を付加したものである。図8において、単位シフトレジスタに相当する領域を点線で示している。この方式における単位シフトレジスタは、書き込み用及びラッチ用の2つのクロックドインバータC11、C12と、スキャン方向に対応した2つのクロックドインバータSC11、SC12とから構成されている。スキャン方向に対応したクロックドインバータの内部回路の構成が図9(a)、(b)に示されている。また、図9(c)は、クロックドインバータSC11、SC12の制御信号とその動作状態を示している。

【0005】 右方向スキャン時において、信号線R/LにHiレベルの信号が与えられると、クロックドインバータSC12は高インピーダンス状態となり、他方のクロックドインバータSC11はインバータ動作を行う。これにより、書き込み用クロックドインバータC11、ラッチ用クロックドインバータC12及びインバータSC11により右方向シフトの単位シフトレジスタが機能する。また、逆に信号線R/LにLowレベルの信号が与えられると、クロックドインバータSC11は高インピーダンス状態となり、他方のクロックドインバータSC12はインバータ動作を行う。これにより、書き込み用クロックドインバータC12、ラッチ用クロックドインバータC11及びインバータSC12により単位シフ

(3)

特開平8-55493

3

トレジスタは左方向シフト動作を行う。

【0006】この図8に示す方式のシフトレジスタは、図6に示す従来の単方向スキャン用のシフトレジスタに比べ、単位シフトレジスタあたり6つのトランジスタ素子の追加によって双方向スキャン機能を表現している。

【0007】

【発明が解決しようとする課題】実際の駆動回路においては、書き込み用のクロックドインバータに供給するシフトクロックCLKと、ラッチ用クロックドインバータに供給するシフトクロックバーCLKは、ともに外部回路から供給されるため、配線遅延などに起因する位相のずれが生じることは避けられない。2つのシフトクロックCLK、バーCLKの間の位相ずれは、シフトレジスタの誤動作を生じさせるものである。従って、実際の回路設計にあたっては、シフト信号の書き込みとラッチを行うクロックドインバータの各々のトランジスタサイズとを異ならせることにより、両クロック間の許容位相ずれを広くする方法が行われている。

【0008】しかしながら、図8に示す方式のシフトレジスタでは、スキャン方向によって2つのクロックドインバータが書き込み用とラッチ用に交互に役割変換して使用されるため、双方のクロックドインバータのトランジスタサイズを最適化し、シフトクロック間の位相ずれに対する動作マージンを広くするという最適設計を適用することができないという問題があった。

【0009】本発明は、最小の素子数の増加で、しかもシフトクロック間の位相ずれに対する動作マージンが広い双方向スキャン機能を有するシフトレジスタ及び表示装置の駆動回路を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるシフトレジスタは、信号のシフト動作の一単位を構成する単位シフトレジスタを複数接続したシフトレジスタ列と、外部からの制御信号によってシフトレジスタへの信号のシフト方向を切り換えるシフト方向切り換え手段とを備えている。

【0011】さらに、本発明によるシフトレジスタは、各々、信号のシフト動作の一単位を構成する第1単位シフトレジスタ及び第2単位シフトレジスタと、第1単位シフトレジスタの出力端と第2単位シフトレジスタの入力端とを接続する配線経路中に設けられ、第1単位シフトレジスタから第2単位シフトレジスタへの配線経路の開閉動作を行う第1開閉手段と、第1単位シフトレジスタの入力端と第2単位シフトレジスタの出力端とを接続する配線経路中に設けられ、第1開閉手段と逆の開閉動作によって第2単位シフトレジスタから第1単位シフトレジスタへの配線経路の開閉を行う第2開閉手段とを備えるものである。

【0012】本発明の限定された構成に従うシフトレジスタは、第1及び第2開閉手段の各々が、配線経路中に

4

直列に接続される入出力端子と、外部からの制御信号が与えられる制御端子とを有する3端子スイッチ素子から構成されるものである。

【0013】本発明のより限定された構成に従うシフトレジスタにおいて、3端子スイッチ素子は薄膜トランジスタが適用される。本発明の他の限定された構成に従うシフトレジスタにおいて、第1及び第2開閉手段の各々は、トランスミッションゲートから構成されることを特徴とする。

10 【0014】本発明の他の局面に従う表示装置の駆動回路は、複数の画素に接続される複数の信号電極に接続されたシフトレジスタを有しており、このシフトレジスタは、上述の単位シフトレジスタ及び第1、第2開閉手段とを備えるものである。

【0015】さらに、本発明の他の局面に従う表示装置の駆動回路は、複数の画素に接続される複数の走査電極に接続されたシフトレジスタを有しており、このシフトレジスタは上述の単位シフトレジスタ及び第1、第2開閉手段とを備えるものである。

20 【0016】本発明のさらに他の局面に従う表示装置の駆動回路において、シフトレジスタは、画素が形成された基板と同一基板上に形成されていることを特徴とする。

【0017】

【作用】本発明によるシフトレジスタにおいて、シフト方向切り換え手段は、外部からの制御信号を受け取り、その制御信号に従ってシフトレジスタ列の信号のシフト方向を設定する。

30 【0018】さらに、本発明のシフトレジスタにおいて、第1開閉手段が配線経路を導通し、第2開閉手段が配線経路を遮断すると、信号は第1単位シフトレジスタの出力端から第2単位シフトレジスタの入力端へ伝達される。この信号伝達動作が単位シフトレジスタの各段において順次行われることにより、1つの方向への信号のシフト動作が行われる。また、逆に第1開閉手段が配線経路を遮断し、第2開閉手段が配線経路を導通すると、信号は第2単位シフトレジスタの出力端から第1単位シフトレジスタの入力端へ伝達される。このような信号伝達動作が各段の単位シフトレジスタにおいて順次行われることにより、他の方向への信号のシフト動作が行われる。

【0019】この第1及び第2開閉手段の動作は、本発明のより限定された構成において、トランスミッションゲート、あるいは3端子スイッチ素子、例えば薄膜トランジスタによって実現される。

【0020】

【実施例】図4は、本発明の実施例によるマトリクス型液晶表示装置の構成図である。このマトリクス型液晶表示装置は、同一基板上に液晶パネル10とデータドライバ20及び走査ドライバ30とが形成されたいわゆる

(4)

特開平8-55493

5

るドライバー体型の構造を有している。

【0021】液晶パネル10は、水平方向に互いに平行に延びる複数の走査電極101と、走査電極101に直交する垂直方向に互いに平行に延びる複数の信号電極102と、走査電極101及び信号電極102の交叉部近傍に配置されるTFT(Thin Film Transister)103と、TFT103に接続される画素電極104とを備えている。走査電極101の一端は、各TFT103のゲート電極に接続され、他端は走査ドライバ30に接続されている。また、信号電極102の一端は、TFT103のソース電極に接続され、他端はデータドライバ20に接続されている。

【0022】データドライバ20は、シフトレジスタ200及びサンプリングトランジスタ210を備える。データドライバ20は、外部から入力されるビデオ信号を所定のサンプリング周波数でサンプリングし、ゲートドライバ30によるゲートオン信号の出力に同期して各信号電極102にビデオ信号を出力する。これにより、オン状態のTFT103を通じて画素電極104にビデオ信号が出力される。

【0023】データドライバ20のシフトレジスタ200の構成が図1に示されている。図1は、双方向スキャン機能を有するシフトレジスタの構成をブロック図を用いて示したものである。このシフトレジスタは、図1の左側の入力端から入力された信号を右側の出力端へ向かってシフトする右スキャン機能と、その逆方向に信号をシフトする左スキャン機能とを有する。なお、シフトレジスタの各段の単位シフトレジスタは、信号をシフトすると共に、サンプリングトランジスタへの信号Qiを出力する。

【0024】右スキャン機能は、1つの単位シフトレジスタSRi(i=1~n)の出力端と次段の単位シフトレジスタSRi+1の入力端とを配線RWiにより接続した回路によって実現される。各配線RWiにはスイッチ素子RSWi+1が設けられている。

【0025】また、左スキャン機能は、1つの単位シフトレジスタSRiの入力端と、次段の単位シフトレジスタSRi+1の出力端とを配線LWiにより接続した回路により実現される。各配線LWi中にはスイッチ素子LSWiが設けられている。

【0026】スイッチ素子RSWiには、スイッチの開閉動作を制御するための信号を供給する信号線RSLが接続され、またスイッチ素子LSWiには信号線LSLが接続されている。

【0027】ここで、図1に示すシフトレジスタの動作について説明する。まず、右スキャン動作を行う場合、信号線RSLを通して各スイッチ素子RSWiに回路をONするための制御信号が供給され、同時にスイッチ素

6

子LSWiには信号線LSLから回路をOFFする制御信号が与えられる。この結果、シフトレジスタは、スイッチRSWi、単位シフトレジスタSR1、配線RW1、スイッチ素子RSW2、単位シフトレジスタSR2、配線RW2・・・単位シフトレジスタSRnによる回路が構成され、右スキャン用のシフトレジスタとして動作する。

【0028】また逆に、左スキャン時には、信号線LSLを通してスイッチ素子LSWiにON信号が供給され、信号線RSLを通してスイッチ素子RSWiにはOFF信号が供給される。この結果、シフトレジスタは、スイッチLSWi、単位シフトレジスタSRn、配線LWn、スイッチLSWn-1、単位シフトレジスタSRn-1、配線LWn-1・・・単位シフトレジスタSR1による回路が構成され、左スキャン用のシフトレジスタとして動作する。

【0029】右スキャンの場合、各段のシフトレジスタからの出力信号は、配線RWiを通してシフトレジスタ間で左下から右上に伝えられていき、逆に左スキャンの場合、各段のシフトレジスタの出力信号は配線LWiを通してシフトレジスタ間で右下から左上に伝えられていくことになる。

【0030】このシフトレジスタは、従来の単方向スキャン用のシフトレジスタと比較すると、スキャン方向を切替えるためのスイッチ素子RSWi、LSWiのみが追加された構成となっている。そして、各単位シフトレジスタSRiの入力端と出力端の位置関係は、スキャン方向に拘らず常に一定に設定されている。

【0031】このスキャン方向切替え用のスイッチ素子RSWi、LSWiは、具体的には以下のような素子により構成される。第1の例は、図2に示すように、スイッチ素子RSWi、LSWiとして、いわゆるCMOSトランスマッション型ゲートRTGi、LTGiを用いるものである。CMOSトランスマッション型ゲートは、P-MOSトランジスタとN-MOSトランジスタとを並列に接続し、各々のゲート電極に互いに電圧レベルの異なる信号を与えることによってスイッチ動作を行うものである。CMOSトランスマッション型ゲートRTGi、LTGiの開閉動作は、外部から入力される制御信号CSを直接あるいはインバータ30を経た後、それぞれ信号線RSL及び信号線LSLを通してCMOSトランスマッション型ゲートのトランジスタの各ゲート電極に制御電圧を印加することにより制御される。外部からの制御信号CSとCMOSトランスマッション型ゲートRTGi、LTGiの開閉状態を表1に示す。

【0032】

【表1】

(5)

特開平8-55493

7

8

CS	RSL	L.SL	RTGi	LTGi	スキャン方向
Hi	Hi	Low	ON	OFF	右
Low	Low	Hi	OFF	ON	左

【0033】この例においては、従来の単方向スキャン用シフトレジスタと比較して、素子数の増加は単位シフトレジスタ当たり2つのCMOSトランSMISSION型ゲートの素子数、すなわち4つのMOSTランジスタ素子分のみにとどめられている。このため、図8に示す従来の双方向スキャン用シフトレジスタに比べても素子数の増加分は少ない。

【0034】また、単位シフトレジスタSR<sub>1</sub>の入力端と出力端はスキャン方向の如何に拘らず常に変化しない。従って、シフトクロックCLKとシフトクロックバーCLKとの間に生じる位相ずれを許容するために、書き込み用とラッチ用のクロックドインバータを構成するトランジスタのサイズを最適に設計することが可能である。

【0035】図1に示すシフトレジスタの第2の具体例を図3に示す。第2の例は、スイッチ素子としてN-MOSTランジスタRTR<sub>i</sub>、LTR<sub>i</sub>を用いたものである。右スキャン用のN-MOSTランジスタRTR<sub>i</sub>と左スキャン用のN-MOSTランジスタLTR<sub>i</sub>のゲート電極には、外部から与えられる制御信号CSと、インバータ30によって反転された制御信号(CF)がそれぞれ印加される。これにより、いずれか一方のN-MOSTランジスタのみがON状態となり、一方方向のスキャン動作のみを選択できる。

【0036】なお、この一対のMOSTランジスタRTR<sub>i</sub>、LTR<sub>i</sub>は、N-MOSTランジスタのみならずP-MOSTランジスタを用いてもよく、好ましくはTFTが適用される。

【0037】この第2の例においては、スイッチ素子が各々1つのMOSTランジスタ素子により構成されるため、上記の第1の例と比較して、さらに素子数の増加を最小にとどめることができる。また、単位シフトレジスタの書き込み用及びラッチ用クロックドインバータに供給される各々のシフトクロックCLK、バーCLKの間の位相ずれに対する動作マージンを確保するための最適設計を行うことができることは上記第1の例と同様である。

【0038】なお、上記の双方向スキャンが可能なシフトレジスタの構成は、図4に示す液晶表示装置のデータドライバ20のシフトレジスタ200に適用されるのみならず、ゲートドライバ30のシフトレジスタに適用することも可能である。

【0039】また、本発明によるシフトレジスタを有する駆動回路としては、ドライバ一体型の液晶表示装置にのみ適用されるものではなく、駆動回路が液晶パネルと

異なる基板に形成されたいわゆる外付け型の表示装置に適用することも可能である。

【0040】さらに、このシフトレジスタが適用される表示装置は、液晶マトリックス型表示装置に限定されるものではなく、シフトレジスタ方式の駆動回路を用いる他の表示装置、例えばプラズマディスプレイ装置やEL(エレクトロルミネセンス)などに対しても有効に適用することができる。

【0041】

【発明の効果】以上のように、本発明においては、複数の整列した単位シフトレジスタに対して、一方方向の信号伝達経路を構成するように各単位シフトレジスタを接続する配線と、逆方向の信号伝達経路を構成するように各単位シフトレジスタを接続する配線とを設け、さらに各配線中に配線経路を開閉する第1及び第2の開閉手段を設け、いずれか一方の開閉手段のみをONさせることによって信号伝達経路を選択するように構成したので、単方向スキャンシフトレジスタに比べて開閉手段を構成する素子の素子数の増加のみで双方向スキャン機能を実現することができる。これにより、駆動回路の素子数の増加を抑え、回路の複雑化を防止すると共に、従来の双方向スキャンシフトレジスタに比べ、製造上の歩留りを向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例によるシフトレジスタの構成を示すブロック図。

【図2】図1に示すシフトレジスタの具体例の一例を示す回路図。

【図3】図1に示すシフトレジスタの具体例の他の例によるシフトレジスタの主要部を示す回路図。

【図4】本発明の実施例におけるシフトレジスタが適用される液晶表示装置の構成を示すブロック図。

【図5】従来の双方向スキャンシフトレジスタの構成を概念的に示す図。

【図6】従来の単方向スキャンシフトレジスタの回路図。

【図7】図6に示すシフトレジスタの要部回路図であり、(a)は書き込み用クロックドインバータの回路図、(b)はラッチ用クロックドインバータの回路図、及び(c)はインバータの回路図。

【図8】従来の双方向スキャンシフトレジスタの他の例を示す回路図。

【図9】図8に示すシフトレジスタの要部回路図であり、(a)は右スキャン用インバータの回路図、(b)は左スキャン用インバータの回路図、(c)は各クロック

9

クドインバータの動作状態を説明する図。

【符号の説明】

SRi…単位シフトレジスタ

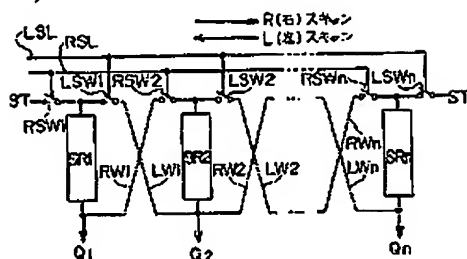
RSWi…右スキャン用スイッチ素子

LSWi…左スキャン用スイッチ素子

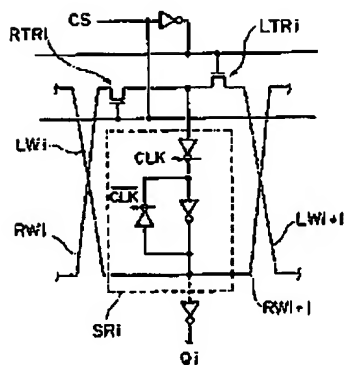
RWi…配線（右スキャン用）

LWi…配線（左スキャン用）

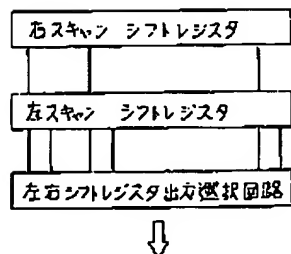
【図1】



【図3】



【図5】



(6)

特開平8-55493

10

\*RTGi…CMOSトランシッション型ゲート（右スキャン用）

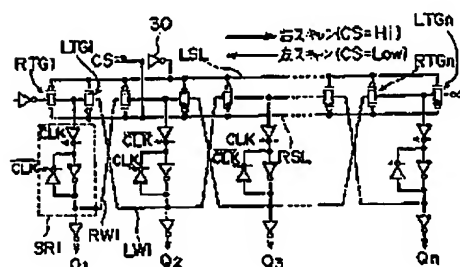
LTGi…CMOSトランシッション型ゲート（左スキャン用）

RTRi…N-MOSTランジスタ（右スキャン用）

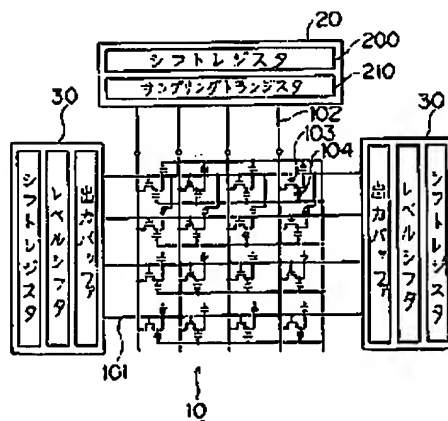
LTRi…N-MOSTランジスタ（左スキャン用）

\*

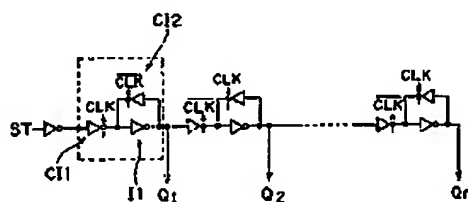
【図2】



【図4】



【図6】

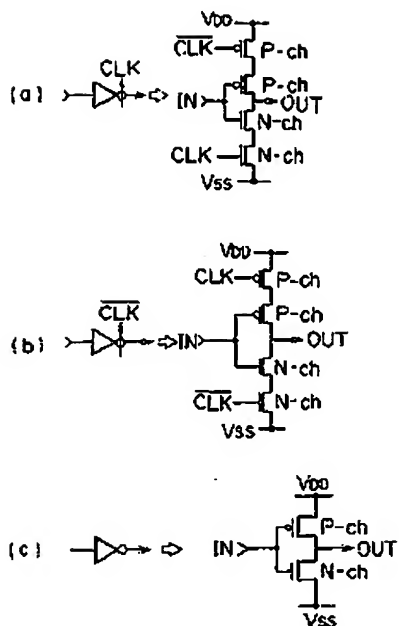


BEST AVAILABLE COPY

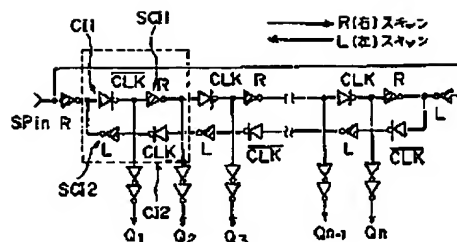
(7)

特開平8-55493

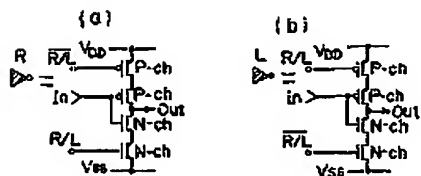
【図7】



【図8】



【図9】



【(c)】

R/L	H	L
$\rightarrow$ PMOS	インバータ	非インバータ
$\rightarrow$ NMOS	非インバータ	インバータ
スキャン方向	$\rightarrow$	$\leftarrow$

BEST AVAILABLE COPY